

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

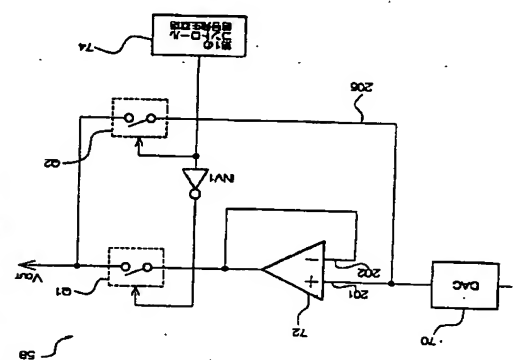
(11) 特許出願公開番号
特開2001-188615
(P2001-188615A)
(43) 公開日 平成13年7月10日 (2001.7.10)

(51) IntCl. ⁷	識別記号	P I	ターボ-D (参考)	
			G 0 5 F 1/10	B 2 H 0 9 3
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0	5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B	5 H 4 1 0
	3/36			

(21) 出願 号 特開2000-281726 (P2000-281726)
(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 森田 品
長野県諏訪市大和3丁目3番5号 セイコ
エプソン株式会社内
(74) 代理人 100090479
弁理士 井上 一 (外2名)

(54) 【発明の名称】 電圧供給装置並びにそれを用いた半導体装置、電気光学装置及び電子機器

(57) 【要約】
【課題】 オフセットキヤンセル回路を必要とせずに、高精度かつ速く、必要な充電電圧を得ることができる電圧供給装置を提供すること。
【解決手段】 負荷容量に電圧を供給して、所定の充電期間内に負荷容量に所定の電圧を充電させる電圧供給装置である。この電圧供給装置は、DAC 70と、DAC 70からの電圧をインピーダンス変換して出力するボルテージフォロア回路72と、ボルテージフォロア回路72と負荷容量との間に接続された第1のスイッチング素子Q1と、DAC 70からの電圧をインピーダンス変換して出力するボルテージフォロア回路72と、ボルテージフォロア回路72と負荷容量との間に接続された第2のスイッチング素子Q2とを有する。充電期間の前半期間に第1のスイッチング素子Q1をオン、第2のスイッチング素子Q2をオフさせ、ボルテージフォロア回路72のみの出力に切換え、充電期間の後半期間に第1のスイッチング素子Q1をオフ、第2のスイッチング素子Q2をオンさせ、DAC 70のみの出力に切換える。



【特許請求の範囲】
【請求項1】 負荷容量に電圧を供給して、所定の充電期間内に前記負荷容量に所定の電圧を充電させる電圧供給装置において、
電圧供給源と、
前記電圧供給源からの電圧をインピーダンス変換して出力するインピーダンス変換回路と、
前記インピーダンス変換回路と前記負荷容量との間に接続された第1のスイッチング素子と、
前記電圧供給源からの電圧を、前記インピーダンス変換回路及び前記第1のスイッチング素子を經由せずに前記負荷容量に供給するバイパス線と、
前記バイパス線途中に接続された第2のスイッチング素子と、を有し、
前記充電期間の前半期間に前記第1のスイッチング素子をオン、前記第2のスイッチング素子をオフさせ、前記充電期間の後半期間に前記第1のスイッチング素子をオフ、前記第2のスイッチング素子をオンさせることを特徴とする電圧供給装置、
【請求項2】 請求項1において、
前記第1のスイッチング素子及び前記第2のスイッチング素子は、共にオフする状態が設定されていることを特徴とする電圧供給装置、
【請求項3】 請求項1または2において、
前記インピーダンス変換回路に電源電圧を供給する電源線に接続された第3のスイッチング素子を有し、
前記第3のスイッチング素子は、前記第1のスイッチング素子のオフ動作と同期してオフされることを特徴とする電圧供給装置、
【請求項4】 請求項1乃至3のいずれかにおいて、
前記インピーダンス変換回路は、ボルテージフォロア回路にて構成され、
前記ボルテージフォロア回路に供給される電源電圧の電源電位をVDD、接地電位をVEEとし、前記電源電位VDDに近い入力電圧が入力された時に、前記ボルテージフォロア回路は、前記入力電圧に対して出力電圧がリニアな特性を示さない、前記出力電圧が飽和する特性を有し、
前記ボルテージフォロア回路の前記出力電圧の飽和領域では、前記第1のスイッチング素子をオフ、前記第2のスイッチング素子をオンさせて、前記バイパス線を経由して前記電圧供給源の電圧を前記負荷容量に供給することを特徴とする電圧供給装置、
【請求項5】 請求項1乃至3のいずれかにおいて、
前記インピーダンス変換回路は、ボルテージフォロア回路にて構成され、
前記ボルテージフォロア回路に供給される電源電圧の電源電位をVDD、接地電位をVEEとし、前記接地電位VEEに近い入力電圧が入力された時に、前記ボルテージフォロア回路は、前記入力電圧に対して出力電圧がリニアな特性を示さない、前記出力電圧が飽和する特性を有し、
前記ボルテージフォロア回路の前記出力電圧の飽和領域では、前記第1のスイッチング素子をオフ、前記第2のスイッチング素子をオンさせて、前記バイパス線を経由して前記電圧供給源の電圧を前記負荷容量に供給することを特徴とする電圧供給装置、
【請求項6】 請求項4または5において、
前記電気光学素子は前記電圧供給装置からの段階的な電圧に基づいて階層駆動され、
前記電圧出力源は、デジタル階層信号をアナログ電圧に変換するD/Aコンバータにて構成され、
前記電気光学素子に供給されるべき所定の階層電圧値に対して (LSB) / 2 に相当する電圧値の範囲内の電圧であって、かつ前記所定の階層電圧値の90%以上の電圧が前記負荷容量に充電された時に、前記前半期間が終了されることを特徴とする電圧供給装置、
【請求項10】 請求項8または9に記載の電気光学装置を有することを特徴とする電子機器、
【発明の詳細な説明】

働き、理想的なボルテージフォロア回路72の場合では、非反入力端子に入力されるノード201の電圧は、反入力端子に入力されるノード202の電圧と等しくなる。しかし、従来、オフセットキャパシタ回路による補正をしていないボルテージフォロア回路72の動作においては、主にトランジスタ個々の性能のばらつき等に起因して、入出力間にオフセットが生じるため、ノード201とノード202との間の電圧に差が生じることになる。

【0011】図4は上記の問題を解決するための電圧供給装置を示している。ボルテージフォロア回路72の非反入力端子201にはDAC70からの出力が供給され、反入力端子202にボルテージフォロア回路72の出力が帰還される。ボルテージフォロア回路72の出力と非反入力端子201とを結ぶ配線途中には、スイッチング素子Q10、容量C10及びスライチング素子Q11が直列に接続されている。反入力端子202に接続された負帰還線途中には、スライチング素子Q1のみが存在している。また、容量C10とスライチング素子Q11とに対して、スライチング素子Q10が並列に接続されている。

【0012】第1の期間にスライチング素子Q11がオフし、スライチング素子Q10及びスライチング素子Q12がオンすることにより、ボルテージフォロア回路72の出力側のオフセット電圧が、容量C10にチャージされる。第2の期間にスライチング素子Q11がオンし、スライチング素子Q10及びスライチング素子Q12がオフすることにより、容量C10にチャージされたオフセットキャパシタの電荷がボルテージフォロア回路72の反入力端子202に重畳されて帰還される。

【0013】このように、ボルテージフォロア回路72の出力線と非反入力端子201とを結ぶ配線途中に、オフセットキャパシタ用の容量C10を設けて、オフセット分の逆の電圧を与えることにより、オフセットを相殺する方法が採られている。

【0014】

【発明が解決しようとする課題】 上述の図4に示す従来のDAC方式でのデータドライバでは、オフセットキャパシタとして、容量C10をチップに内蔵する必要がある。しかし、ボルテージフォロア回路72の入力容量よりも十分に大きい容量C10が必要になるため、大きな面積が必要となる。このオフセットキャパシタ容量が小さすぎると、ボルテージフォロア回路72内の入力容量にはノイズとしてみなされ、出力電圧にノイズが重畳してしまうからである。

【0015】また、オフセット電圧をオフセットキャパシタ容量C10にチャージするのには、通常 $3 \sim 5 \mu s$ 程度を要してしまう。

【0016】この種のアクティブマトリックス型液晶装置では、一ラインの画素数を増やして、高精細な表示を

【0001】

【発明の属する技術分野】 本発明は、電圧供給装置を用いた半導体装置並びにそれを用いた電気光学装置及び電子機器に関する。

【0002】

【背景技術】 現在、高精細な供給電圧が要求される機器として、例えば液晶表示装置が挙げられる。

【0003】アクティブマトリックス型液晶表示装置または非接触マトリックス型液晶表示装置では、液晶パネルが多階調化（多色化）、印加電圧の高精度化が進んでいる。

【0004】液晶パネルの多階調化のため、例えば、アクティブマトリックス型液晶表示装置であるTFT（Thin Film Transistor）液晶装置では、RGB（赤・緑・青）3色のデータ信号の各データが、例えば6ビットデータ（64階調表示、約26万色）または8ビットデータ（256階調表示、約167万色）で構成される。

【0005】また、上述の多階調化に伴い、それに比例して、多階調の電圧レベルが必要とされるため、各電圧レベルにより高精度に設定する技術が求められている。

【0006】液晶パネルにおける印加電圧—パネル透過率の特性によれば、透過率が50%に近い中間レベルでは、印加電圧に対するパネル透過率の変化が大きく、パネル透過率が10%または0%に近づくほど、印加電圧に対するパネル透過率の変化が小さくなる。したがって、パネル透過率が中間レベルのころでは、特に印加電圧の僅かの変動による階調変化が顕著に表れる。このパネル透過率のズレを抑えるためにも、より高精度な液晶印加電圧の供給が求められる。

【0007】この求められる液晶印加電圧のばらつき許容値は、例えば、64階調表示では $\pm 5 mV$ 、256階調表示では $\pm 1 \sim 2 mV$ となっており、多階調表示になるにつれ、より精度の高い液晶印加電圧が求められることになる。一般の1Cチップにおけるしきい値電圧VTHのばらつきが、数十mV～数百mVの許容範囲があるのにも比べて、多階調表示を行う液晶表示装置では許容範囲をさらに厳しく設定しなければならぬ。また、今後のさらなる多階調化によっても、より高精度な液晶印加電圧への調整方法が必要になってくると思われる。

【0008】このような状況に鑑みて、従来より、例えば液晶パネルの駆動回路における複数の階調発生電圧の生成方法については、電圧選択方式や時分割方式、デジタル—アナログ変換方式等による液晶印加電圧生成法が知られている。

【0009】上述のデジタル—アナログ変換器を用いた方式（以下、DAC方式）の従来の電圧供給装置を図4に示す。

【0010】DAC70からの出力が入力されるボルテージフォロア回路72は、インバータス変換器として

いたオフセットキャパシタ用の容量が必要になるため、その分の面積が必要となり、オフセットキャパシタ用の容量にオフセット電圧をチャージする時間も不要となる。

【0023】本発明においては、前記第1のスライチング素子及び前記第2のスライチング素子は、共にオフする期間が設定されていることが好ましい。こうすると、バイパス線を経由した電圧出力源からの電圧が、インバータス変換回路に帰還されることを防止できる。

【0024】本発明においては、インバータス変換回路に電圧を供給する電圧源に接続される第3のスライチング素子をさらに設けることが好ましい。この第3のスライチング素子は、第1のスライチング素子のオフ動作と同期してオフされる。こうすると、インバータス変換回路の出力が必要時には、それへの電圧供給を遮断することができ、消費電力を低減できる。

【0025】本発明に用いられるインバータス変換回路は、ボルテージフォロア回路にて構成されることである。このボルテージフォロア回路に供給される電圧電位をVDD、接地電位をVEEとし、電圧電位VDDに近い入力電圧または、接地電位VEEに近い電圧が入力された時に、この間のボルテージフォロア回路が入力電圧に対して出力電圧がリニアな特性を示さない、出力電圧が飽和する特性を有するものがある。この場合、ボルテージフォロア回路の出力電圧の飽和領域では、第1のスライチング素子をオフ、第2のスライチング素子をオンさせて、バイパス線を経由して電圧出力源の電圧をオンプットすることにより、第2のスライチング素子をオンさせて、ボルテージフォロア回路の出力電圧とを比較する比較器を有することが好ましい。この比較器の比較結果に基づいて、第1、第2のスライチング素子の状態を制御し、飽和電圧に代えて電圧出力源の電圧を出力することができるようになる。

【0026】上記のようなボルテージフォロア回路を用いながらリニアな出力電圧を生成するには、電圧出力源の出力電圧とボルテージフォロア回路の出力電圧とを比較する比較器を有することが好ましい。この比較器の比較結果に基づいて、第1、第2のスライチング素子の状態を制御し、飽和電圧に代えて電圧出力源の電圧を出力することができる。

【0027】本発明の他の態様は、上述した電圧供給装置を有する半導体装置を定義している。この半導体装置は、オフセットキャパシタ用の容量が必要であるので、その面積分だけチップサイズを縮小できるか、あるいはその面積分に他の素子を増設することで高集積化が果たされる。

【0028】本発明のさらに他の態様は、上述の電圧供給装置が搭載された半導体装置と、電気光学装置を用いた表示部とを有する電気光学装置であり、半導体装置は表示部の信号線を経由する駆動ICとして用いている。電圧供給装置から出力される電圧を表示部の信号線を介

して電気光学素子に供給することで、正確な駆動電圧を電気光学素子に供給できる。

【0029】この場合、電気光学素子を電圧供給装置からの段階的な電圧に基づいて階調駆動してもよい。このとき、電圧出力源は、デジタル階調電圧をアナログ電圧に変換するD/Aコンバータにて構成することができ、このような場合、電気光学素子に供給されるべき所望の階調電圧に対して(LSB)/2に相当する電圧幅の範囲内の電圧であって、かつ所望の階調電圧の90%以上の電圧が負荷容量に充電された時に、充電期間の前半期間を終了させることが好ましい。この前半期間にて上述の充分な電圧を電気光学素子に供給しておけば、その後半期間にD/Aコンバータからの電圧を直接に負荷容量に供給しても、電気光学素子への印加電圧を所望の階調電圧まで到達させることができ、しかも電気光学素子での階調が真になってしまいうことも防止される。

【0030】本発明のさらに他の態様は、上述した電気光学装置を有する電子機器を定義している。この電気光学装置を電子機器の表示部として用いれば、画質の改善を図ることができ、

【0031】
【発明の実態の形態】以下、本発明の実態の形態について、図面を参照して説明する。

【0032】＜第1の実態形態＞
（液晶装置の説明）図1は液晶パネル装置とその周辺回路を含めた全体の構成図を示している。

【0033】図1において、液晶パネル20は、例えば TFT型液晶パネルである。

【0034】この液晶パネル20を駆動する回路として、アドレス線（走査線）に接続されたゲートドライバ1C40（走査線ドライバ1C）、データ線（信号線）に接続されたデータドライバ1C30（信号線ドライバ1C）とが設けられている。これらのゲートドライバ1C40、データドライバ1C30は、電源回路46から所定の電圧が供給されるとともに、信号制御回路42から供給される信号に基づいて、データ線21、ゲート線22を駆動するものである。実際はデータドライバ1C30、ゲートドライバ1C40ともに、複数のICにて構成されている。また、階調電圧回路44は、データドライバ1C30での階調駆動に必要な基準電圧を供給する。液晶容量25は、画素電圧24とコモモン電圧23との間に液晶を封入することで形成されている。コモモン電圧回路48は、コモモン電圧23にコモモン電圧を供給する。

【0035】なお本発明は、TFT型液晶パネルに適用されるものに限らず、液晶を含む電気光学素子を用いた、他の表示パネルにも用いることができる。

【0036】（データ線駆動回路の説明）図2は図1の液晶パネル20を駆動するためのデータドライバ1C30の構成図を示しており、図3は図1の液晶パネル20

中のデータ線21を駆動する駆動波形の一例を示している。

【0037】図2は、データ線出力21として例えば300本の出力線を有する、3色64階調表示用のデータドライバ1C30の内部ブロック図を示している。

【0038】図2に示すデータドライバ1C30は、信号制御回路42から供給されるRGB信号の各6ビットの表示データを、同様信号制御回路42から供給されるクロック信号φのタイミングに基づき、順次、入力ラッチ回路50にてラッチする。100クロック分のクロック信号φ1の表示データ（RGB×6ビット×100クロック分の信号）は、100ビットのシフトレジスタ51を介して、ラインラッチ回路52の内部に取込まれる。さらに上記の表示データはラッチ回路53にラッチされ、Pのタイミングで取込まれる。そして、このラッチ回路53の表示データは6ビットのDAC54によってアナログ信号に変換され、さらにボルテージフォロア回路55によってインピーダンス変換されて液晶パネル20のデータ線21に供給される。

【0039】ここで、図3に示すように、6ビットのDAC54では64レベルの階調電圧を発生するが、外部から例えば10レベルの電圧V1～V10が供給される。この基準電圧V1～V10は、階調電圧回路部44から供給される。DAC54では例えば、RGBの各6ビットの表示データの中央で上位の3ビットデータで、10レベルの基準電圧V1～V10によって分割された電圧範囲のうちの二つを選択する。次に、下位3ビットデータによりV5の階調電圧を選択する。次に、下位3ビットデータにより、上位3ビットデータによって特定されたある電圧の範囲、例えばV4～V5レベルの間の8つの電圧レベルの二つであるV3、4レベルを選択する。

【0040】（電圧供給装置について）図5は、DAC70による出力をボルテージフォロア回路72を介してTFT型液晶パネルのデータ線に出力する電圧供給装置58の回路図を示している。

【0041】なお、図5に示すDAC70は、一つのデータ線21に接続されており、図2に示すD/Aコンバータ54は、複数のDAC70から構成されている。ボルテージフォロア回路72とボルテージフォロア回路55との関係も同様である。

【0042】図5の回路では、ボルテージフォロア回路72は非反転入力端子20にDAC70からの出力が供給され、反転入力端子202には、ボルテージフォロア回路72の出力が帰還して供給される。ボルテージフォロア回路72と負荷容量（データ線21の配線容量、オア回路72と負荷容量（データ線21の配線容量、液晶容量25等）との間の出力線）には、第1のスイッチング素子Q1が設けられている。また、DAC70からの電圧を、ボルテージフォロア回路72及び前記第1のスイッチング素子Q1を経由せずに負荷容量供給するバイパス線205上に、第2のスイッチング素子Q2が

接続されている。

【0043】第2のスイッチング素子Q2には、第1のコンタクト信号発生回路74からコンタクト信号が供給されオンオフ制御される。第1のスイッチング素子Q1にはインバータINV1が接続され、第1のコンタクト信号発生回路74からの出力が反転して供給される。第1のスイッチング素子Q1がオンオフ制御される。このコンタクト信号は、例えば、後述する図6(b)に示すように、データのラッチパルスLPに同期したタイミングに基づいて出力される信号CNT1である。

【0044】図6(a)は、従来のDAC方式による電圧供給に用いられるラッチパルスLP、ゲート線への供給電圧VX1、VX2、データ線への出力電圧の波形図を示している。1フレーム期間において、ゲート線22の選択期間にデータ線21を介して液晶容量25にチャージされる電圧源は出力VY1のようにになっている。

【0045】このデータ線21に印加される電圧は、今日の液晶パネルの多階調化・多色化に伴い、より高精度な電圧が求められる。しかし、図6(a)に示すように、ボルテージフォロア回路を介して出力される電圧には、オフセットによる入出力電圧のばらつきにより、必要な階調電圧に達しないために、高精度な階調電圧の電圧が困難であることがしばしばであった。

【0046】すなわち、図6(a)に示すように、選択期間の間に階調電圧に達せず、0電圧以下不足する電圧が、液晶容量25にチャージされてしまうこととなる。なお、図4のようにオフセットによる入出力電圧を設けることにより、オフセットによる入出力電圧を補正できるが、そのための容量C10の面積の拡大、必要階調電圧に到達させる速さの点等で問題がある。

【0047】そこで本実施の形態では、このボルテージフォロア回路による出力能力の限界に着目し、階調電圧出力がある程度保たれる時点で、ボルテージフォロア回路の出力に代えて、DAC70からの出力を液晶容量25に供給するように切換えている。

【0048】以下、図6(b)において、本実施の形態に係るTFT型液晶パネル装置のデータドライバの動作を、図5を参照しながら説明する。

【0049】ここで、仕様上一定ではないが、TFT型液晶装置におけるDAC方式によるボルテージフォロア回路72の出力は、必要電圧値の99%超まで増幅される。この、選択期間のほぼ半分の時間が増幅される。例えば、12Vを必要とする液晶ドライバでは、ボルテージフォロア回路72の出力によって、 $Q=12 \times C$ （Cは負荷容量）の電荷量をチャージしなければならぬ。選択期間の前半期間の終端までに入出力電圧と出力電圧の差が10mVまでになっているとすると、選択期間の後半期間でチャージしなければならない負荷容量（電荷量）は、 $Q=0.01 \times C$ となる。結局、DAC70の出力

に切換えられた場合、必要電荷量Qに対して、1/1200（約0.1%）の電荷量を供給することで、必要な階調（約0.1%）を得ることができる。選択期間とはパネルによっても異なるが、高精度なSXGAの表示だと通常8～12μs程度である。

【0050】ラッチパルスLP間の選択期間t1に亘って、ゲートドライバ1C40により、一本のゲート線22に電圧VX1が印加され、トランジスタがオン。これにより、液晶パネル20内の液晶容量25に充電可能な状態になる。データドライバ1C30では、ラッチパルスLPと同期して出力されるコンタクト信号CNT1によって、第1のスイッチング素子Q1がオン。第2のスイッチング素子Q2がオフする。このため、ボルテージフォロア回路72からデータ線21へ電圧VY2が出力される。この電圧VY2は、データ線21を介して液晶容量25にチャージされ、その液晶容量25へのチャージの定時変化は、第1の期間t1では例えば必要電圧の99%を超える点Aにまで達している。

【0051】第2の期間t2では、第1のスイッチング素子Q1がオフし、第2のスイッチング素子Q2がオンし、ボルテージフォロア回路72の出力が遮断されることにより、DAC70の出力が直接、データ線21を介して、液晶容量25にチャージされる。このときDAC70では、供給できる単位時間当りの電荷量が少なく、出力電圧に影響を及ぼす電荷量が小さく、液晶容量25へのチャージもほとんど完了されているため、選択期間t2内に、十分な電圧を液晶容量25にチャージすることが可能となる。

【0052】ここで、ボルテージフォロア回路72の入出力間のオフセットとして、例えば、10mVが発生した場合、必要階調電圧の10mV手前で切換える必要が生じる。ボルテージフォロア回路72とDAC70の電流駆動能力の比率の設計にもよるが、その比が1/100だと、図6(b)の点Aが必要電圧の99%に達した時に切換タイミングを設定することが妥当である。

【0053】このように、選択期間t1の前半期間t1で、ボルテージフォロア回路72の出力によって、単位時間当りの電荷量を多く供給して、ある程度の電圧まで液晶容量25を充電させる。選択期間t1の後半期間t2では、DAC70の出力を直接に液晶容量25に供給することによって、オフセットによる電圧差を必要とするに、高精度な出力電圧を迅速に得ることが可能となる。

【0054】また、ボルテージフォロア回路72の出力と、DAC70の出力を切換えるタイミングについて、必要階調電圧の90%以上の電圧が液晶容量25に充電され、かつ必要電圧との電圧差が1/2LSB（Least Significant Bit）の電圧幅の範囲内に設定した場合の動作について、図7を用いて説明する。

ロア回路72の電源電圧をオンオフさせる。第3のスイッチング素子を含む回路を示している。

【0084】図15に示すように、DAC700の出力を出力電圧として供給する期間中、ボルテージフォロア回路72自体の電源をオフさせることができる。これにより消費電力が図ることができる。

【0085】また本発明は、例えば、携帯電話、ゲームセッ、電子手帳、パーソナルコンピュータ、ワードプロセッサ、テレビ、カーナビゲーション装置など各種の電子機器に適用することができる。

【図面の簡単な説明】

【図1】図1は、本発明が適用される液晶装置を示す概略説明図である。

【図2】図2は、従来のデータドライバICのブロック図である。

【図3】図3は、図2に示す従来のデータドライバICの出力特性図である。

【図4】図4は、図2に示す従来のボルテージフォロア回路を用いた電圧供給装置の構成例を示す図である。

【図5】図5は、本発明の第1の実施形態に係る電圧供給装置を示す図である。

【図6(a)】図6(a)は図4に示す電圧供給装置の動作波形図、図6(b)は図5に示す電圧供給装置の動作波形図である。

【図7】図7は、選択期間の前半、後半期間と、液晶容量に充電される電圧との関係を示す図である。

【図8】図8は、本発明の第2の実施形態に係る電圧供給装置を示す図である。

【図9】図9は、図8に示す電圧供給装置の動作波形図である。

【図10】図10は、本発明の第3の実施形態に係る電圧供給装置を示す図である。

【図11】図11は、本発明の第4の実施形態に用いられるボルテージフォロアの出力特性を示す図である。

【図12】図12は、図11に示す特性を有するボルテージフォロアの回路図である。

【図13】図13は、図12に示すボルテージフォロアを含む本発明の第4の実施形態に係る電圧供給装置を示す図である。

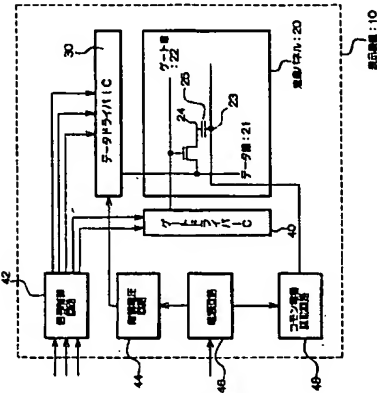
【図14】図14は、図13に示す電圧供給装置の變形例を示す図である。

【図15】図15は、本発明の第5の実施形態に係る電圧供給装置を示す図である。

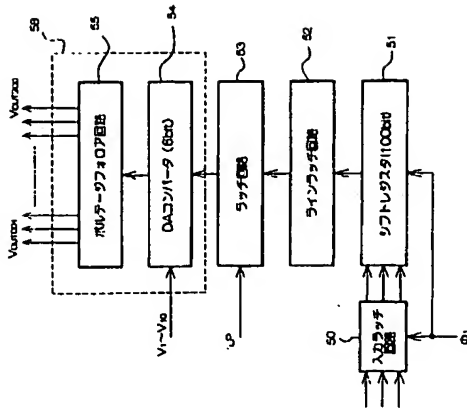
【符号の説明】

- 10 表示装置
- 20 液晶パネル
- 21 データ線
- 22 ゲート線
- 23 コモン電極
- 24 液晶電極
- 25 液晶容量
- 30 データドライバIC
- 40 ゲートドライバIC
- 42 信号制御回路
- 44 駆動電圧回路
- 46 電源回路
- 48 コモン電極駆動回路
- 50 入力ラッチ回路
- 51 シフトレジスタ
- 52 ラインラッチ回路
- 53 ラッチ回路
- 54 DAコンバータ
- 55 ボルテージフォロア回路
- 58 電圧供給装置
- 70 DAコンバータ
- 72 ボルテージフォロア回路
- 73 コンترلロール信号発生回路
- 74 第1のコンترلロール信号発生回路
- 75 第2のコンترلロール信号発生回路
- 76 比較器
- 77 第1の比較器
- 78 第2の比較器

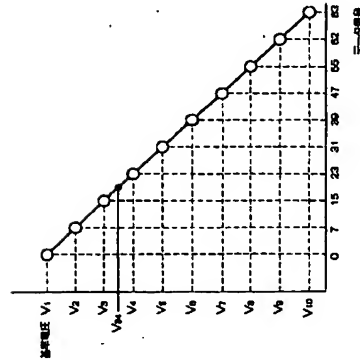
【図1】



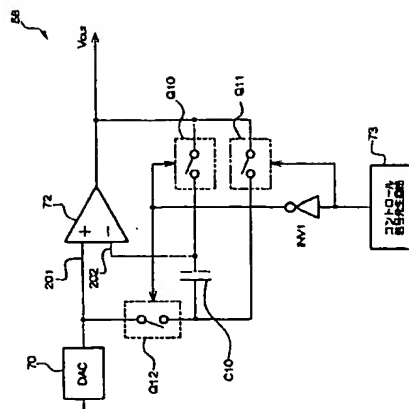
【図2】



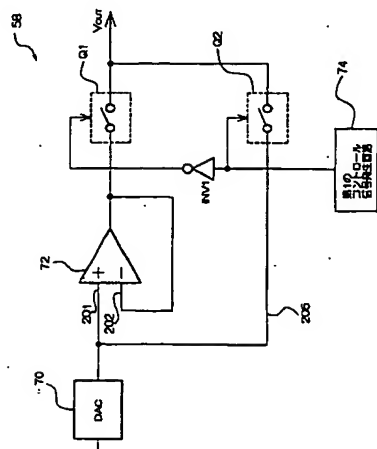
【図3】



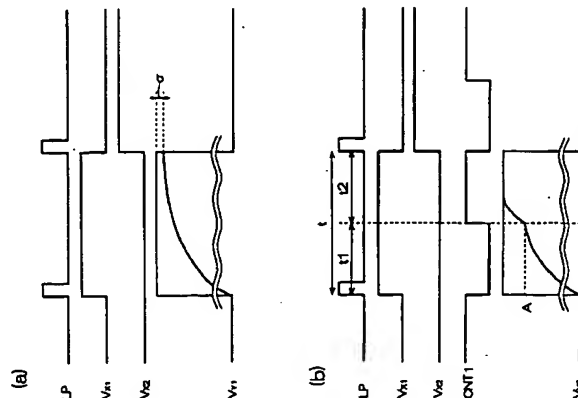
【図4】



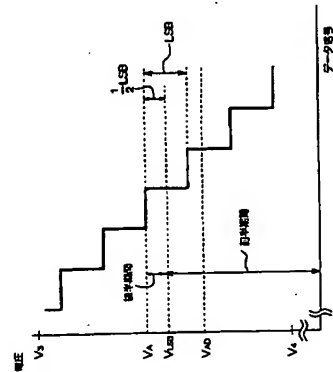
【図5】



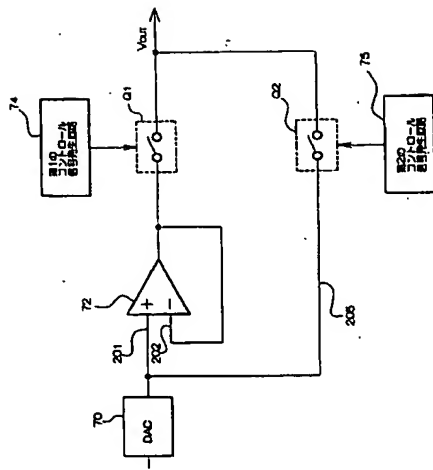
【図6】



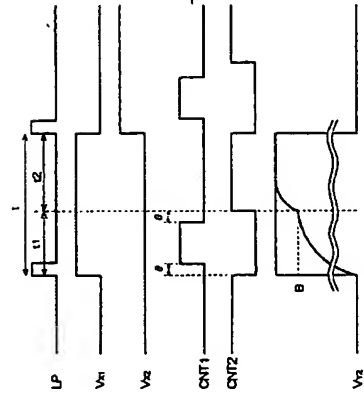
【図7】



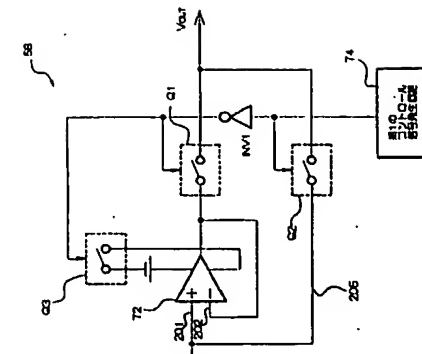
【図8】



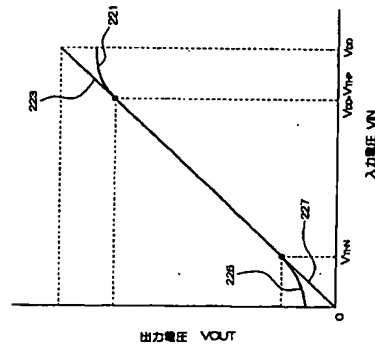
【図9】



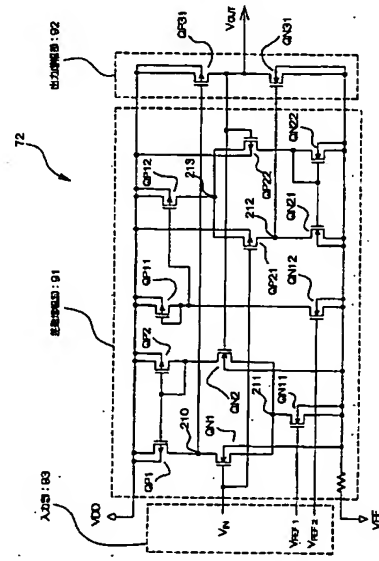
【図10】



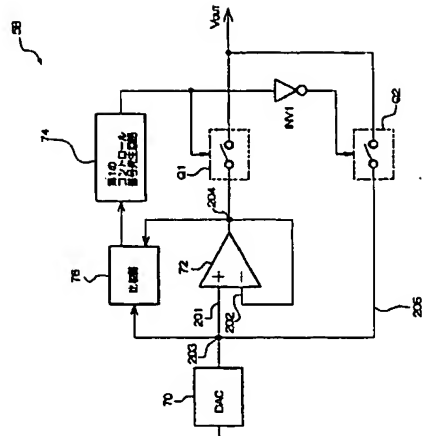
【図11】



【図12】



【図13】



【図14】

